
PCB LAYOUT 建议书

TESTABILITY

SMT 实装电路板可测性的设计参考。

对电路板可测要求，SMT 的基板测试要求比传统元件的要求更加严格。其原因如下：

1. 被动零件的体积大小，且无引线。
2. SMT 的半导体用大量的 50 mil（甚至更小）的 IC 引脚代替 100 mil。
3. 单位面积内的零件密度增加，使零件放置的更紧密，且大量地采用两面粘着零件。
4. 缺乏可提供测试的途径，不如传统的生产方式能自动地在焊接面（SOLDER SIDE）提供测试的途径。

因此在基板设计、电路设计未完成以前，就应该考虑到可测试性（TESTABILITY）（也要虑到可生产性，PRODUCTABILITY）。可测试必须在产品发展早期阶段就考虑到。

如依照可测试性的设计要求，电路板将保证其测试性。但偏移了设计参考指引或没考虑到测试性，虽不会妨碍生产，但一定会造成：

1. 增加故障修理的时间。
2. 提供不可靠的测试性。
3. 低度的测试率，或较差的测试应用。
4. 使用令人不满意的替代测试方法。

最后的结果是增加生产费用及较低的效益。但增加的成本不能转嫁到消费者身上，公司的竞争力将会衰退。

此设计参考目的是提供讯息给基板设计者，同时也可沿用到表面粘着技术上的针床制作。希望提供对测试性的保证及 FUNCTIONAL 或 IN-CIRCUIT 测试方法之最小限度的规则。对可测试性的考虑，可分为两个方向讨论：

1. 探测性的考虑（PROBING）
2. 电气设计的考虑（ELECTRICAL）

1. 探测性的考虑 (PROBING CONSIDERATION)

在下列的第一项参考中，所说明的是影响探针与待测物 (Device Under Test; DUT) 实际接触的最大可能因素。误插的分析尺寸是以单点探针 (Spear Head)，探针与粘着处 (Mounting) 之间的最严重情况，有关于 DUT 放置排列上的误差，及测试点的直径。

但没有考虑统计分析接触上的错误，因为在作任何测试上的接触错误所形成的误差是不被接受及造成测试无效。

在较大的 PC 板中，下列的误差将比小的基板更不容易控制。距离误差直接地增加以达到与小基板相同、可靠的接触探针。

参考一 提供精确的定位孔

A. 由 DUT DATUM 至 TEST PAD 的误差应在 ± 0.002 IN (± 0.05 mm) 内。

定位 PIN 的位置要严格的要求，且每个定位 PIN 皆要求减小此项误差，如果基板是整片的制造后再分开，DATUM 孔就必须设定在主板上及各单独的基板上。DATUM 孔至少要两个，要精确的设定在主板上用以提供生产的精确度及随后的测试与可能的重工 (REWORK)。如果有空间考虑，则可将 DATUM 孔放在可分离的 Tabs 上以提供制造的组立工作及 DUT 的测试。在装配、零件放置、基板测试上一定要采用相同的 DATUM 孔以保证探针的准确性。

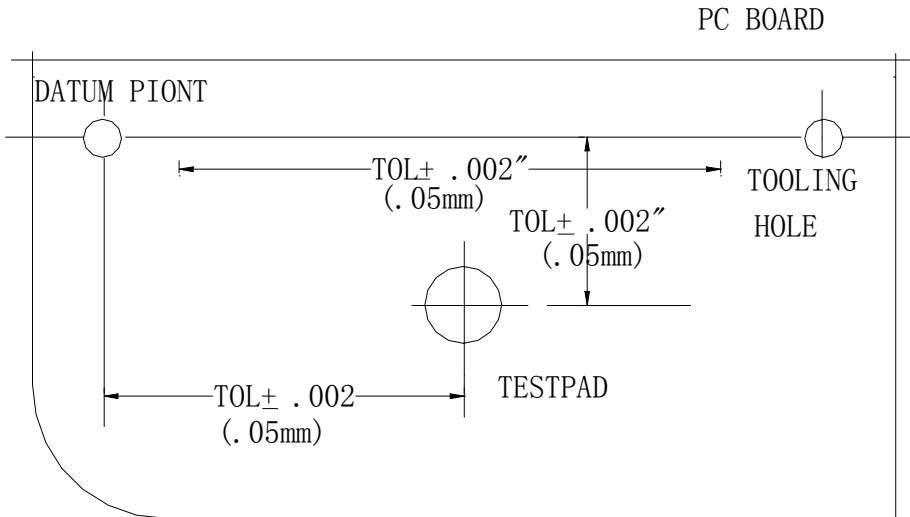
B. 至少放置二个定位孔在 DUT 上，且距离愈远愈好，每个孔的误差应在 ± 0.002 IN (± 0.005 mm)

定位孔最好在相对的对角线上，以取得最好的探针精度，同时必须在第一阶段的钻孔作业中执行。定位孔不可以在基板上的边缘定位，因为基板外形的距离通常是无精确的控制以取得精确的 DATUM。

定位应该至少为 0.125 IN (3.1m) 的直径孔，使治具能稳定的维持及校正基板，如果需用到双面治具的方式时，定位孔必须够长，以穿过治具的压板。

C. 定位孔的直径误差必须在 $+0.003$ IN ($+0.08$ mm, -0.000 mm) 以内。

最好采用非金属性的定位孔 (不镀锡或金) 以减少因焊锡的增厚而不能达到公差要求。喷锡或镀金的贯穿孔是非常难控制的。

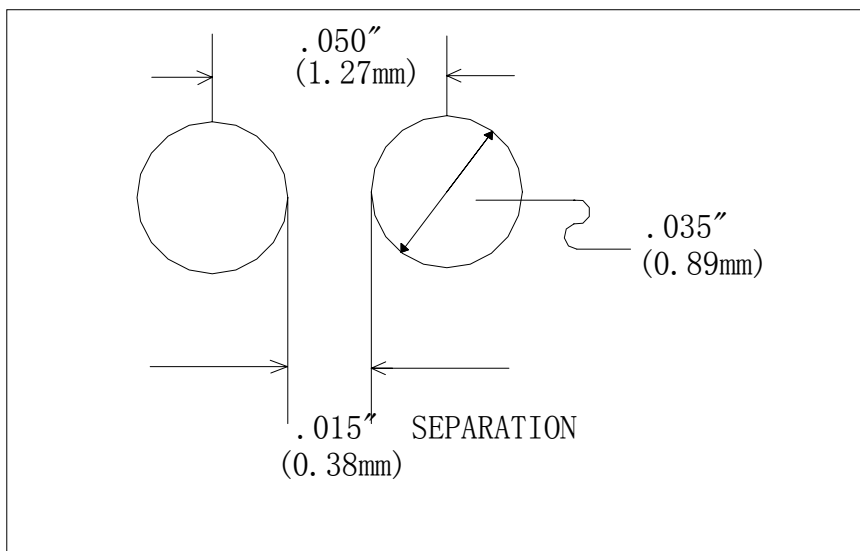


图一 定位的误差示意图

参考二 测试点的直径不可以小于 0.035/0.040 IN (0.89/1.00mm)

采用参考一的误差范围，此为为保证探针接触性的最小测点的直径，影响测试点的因素有：定位的精确性、基板制造的程序、基板大小的物理性。如采用较小的探针，可采用 0.035 IN (0.89mm)的测试点。较大的探针，则用 0.040 IN (1.00mm)。如在较小的基板（12 IN 平方内），采用较小的测试点（0.025 IN/0.61mm）是可能的，但设计者最好确认一下治具的价格及设计规格的公差。

图二显示 Pad-to-Pad 最小限度的距离要求



图二 最小的测试点位置要求

参考三 DUT 探测侧的零件高度不可超过 0.255IN (6.4mm)

基板测试侧的高零件可以对治具、挖孔或排架。虽然这样可以适用，特别处理所产生的成本及减少治具强度的损失要考虑。对治具挖孔也限制测试探针的放置性。

最好将测试点放在零件周围 0.2IN (5.0mm)外，以防止偏差。

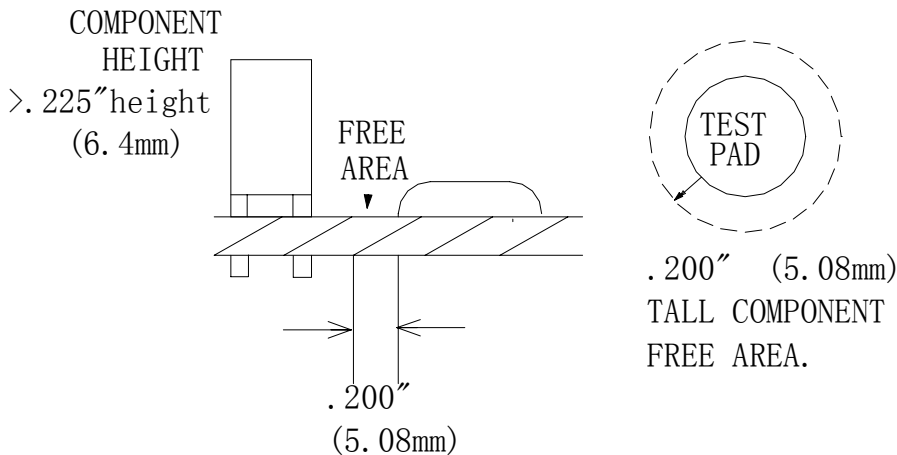
参考四 在 DUT 边缘 0.125 IN (3.2mm)范围内不可放置零件或测试点

如此可以保证零件不会干涉到治具及探针。通常在输送带式的生产设备，SMT 设备也同样要求可使用的边缘关系。

参考五 在每个测试点环状周围 0.018 IN (0.46mm)内，不可有零件或其他障碍物

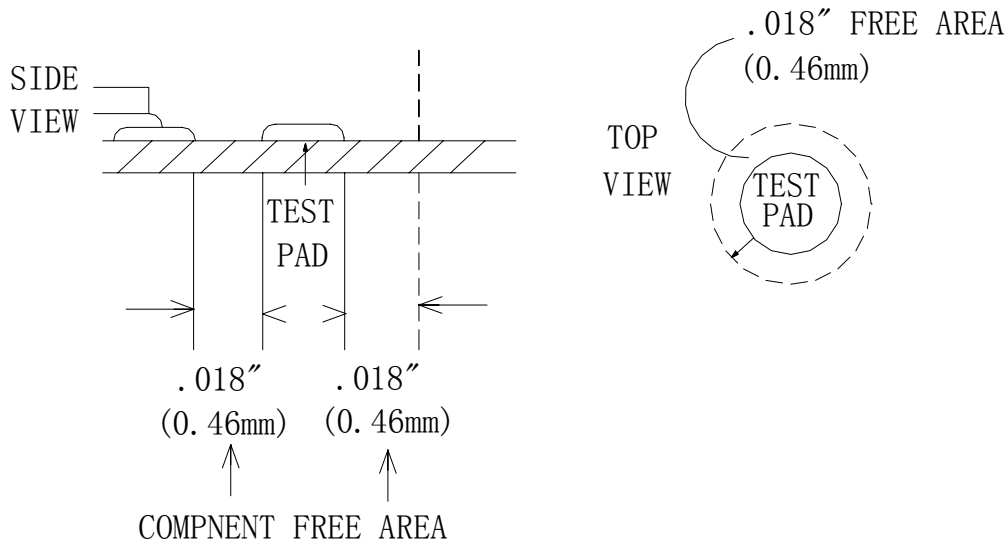
这是在防止当最坏的误差产生且探针不是使用单尖针的头时，会将零件或测试点短路，这是假设没有超过 0.255 IN (6.4mm)高度的零件，在测试点的 0.2 IN (5.1mm)内；如果有高的零件在测试点 0.2 IN (5.1mm)范围内时，应该避免有放置探针座的空间存在。请参考图三及图四。

当零件大于 0.250 IN 高度时，测试点的自由空间。



图三 高零件测试点的位置关系

当零件没有大于 0.250IN 高度时



图四 TESTPAD与其他部品间的关系

参考六 在零件面的测试点边缘必须在至少 0.040 IN (1.0mm)范围内不能有任何零件

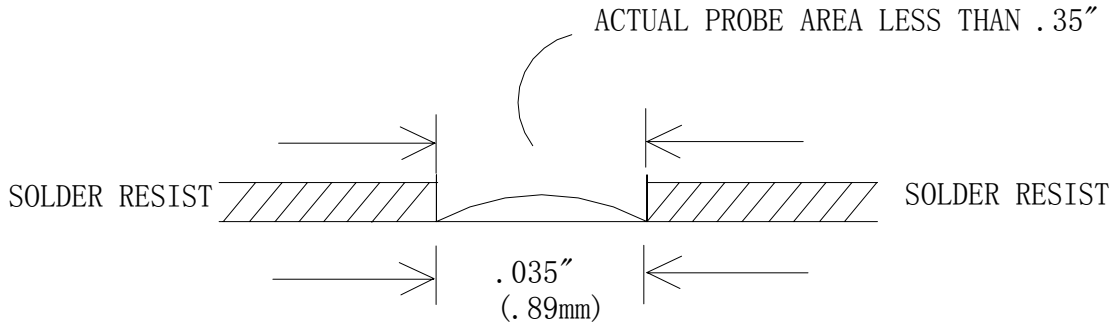
这是避免撞击零件，造成探针或零件的被破坏。

参考七 所有探测范围最好镀锡或相等且不会氧化的传导物

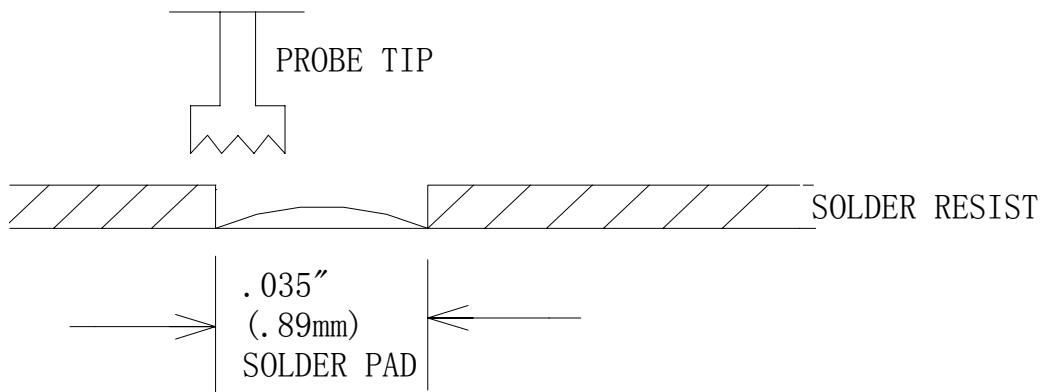
锡点是被证实为最好的探测原料，锡点的氧化物较轻且易贯穿，可以提供好的探测接触，也可帮助延长探针尖端的寿命。

参考八 测试点不可被防焊或油墨覆盖

如果测试点部分被防焊或文字油墨覆盖，则此区可使用的接触点将被缩小。对采用较大接触头的探针，如锯齿状或皇冠状，将妨碍接触。（参考图五 A 及五 B）



图五A PAD与防焊情况



图五B 探针与防焊情况

参考九 所有贯穿孔，应该被填满<压床式之治具不在此限>

填满所有的孔，可减少真空式治具空气的外泄，且防单尖型的探针刺入空的小孔。如不填满这些孔，也会助长探针断续的接触，因为当空气由这些未填满的小孔（VIAS）外泄时，探针可能会污损而造成断续的接触。

没有填满的孔在组立测试时，需用橡皮垫子或其他替代物覆盖。这样可以保证真空的密封性及治具的操作。这样可能会阻碍治具在治具修改或测试侦错时的测试工作。

如采用回流方式时，在基板的空间允许下，可以依不同需求区分，将 VIAS 以防焊覆盖上，以锡覆盖测试点。

参考十 在定位孔的环状周围 0.125 IN (3.2mm)内，不可有零件或测试点

这是用以预防从治具上移开或放置基板时，对零件损害。

参考十一 避免在零件或零件脚上探测，应探测测试点或 VIAS

探针接触的压力可能引起 OPEN，或使冷焊接合处变为好的，零件粘着位置的变化。也可能造成探针目标不准或滑动，造成治具引起的短路或探针的损坏。

参考十二 避免在两侧探测，尽可能利用 VIAS 将测试点置于同一边（以非零件侧为佳；SOLDER SIDE）

最好将基板设计成只需用非零件面测试，如此可使用较简单，较便宜，更可靠的治具。双面治具的制作，故障排除，有许多的限制与困难。

参考十三 探针点间距离（中心距离）最好在 0.001 IN (2.54mm)以上，最好不要小于 0.050 IN (1.27mm)

测试点中心距离较宽的测试点，可以使用较低成本即可信赖的探针。同时钻孔。及治具的绕线费用也较便宜。配合 0.050 IN (1.27mm)的空间之较小探针，较贵、较不可信赖，且易受损。

2. 电气设计的考虑（Electrical Design Considerations）

除了上述的探测外，如再加上电气的参考，可使可测性更高。

参考一 每个电气节点都必须有一个测试点

1. 节点的定义：指二个或二个以上，Analog 或 Digital 零件的连接点，包括 IC、CONNECTOR 脚这些不被使用的部分。而测试点也提供所有的 I/O, POWER, GROUND 及信号（Return Signal）。
2. 每个 IC 也必须有 POWER 及 GROUND 的测试点，且尽可能接近此零件。当治具有更多的 POWER 及 GROUND 时，就可附加一些测试点。一般而言 POWER 及 GROUND 最好距离 IC 1IN (2.54mm) 范围内。当测试频率超过 5MHz 时，将需要在每个 IC 上放置 POWER 及 GROUND，以便取得更佳和电源。
3. 注意：Jumpers (0Ω 电阻)，保险丝，Switches 被当作两端元件，由二个电气节点连接，因此每个接点皆须有测试点。

参考二 不要依赖 EDGE CONECTOR 或电路的 TRACE 为测试点

1. 在 EDGE CONECTOR 的接脚处或电路的 TRACE 上探测，会产生差而不可依赖的接触性。
2. 金手指也很容易被探针伤害。
3. 最好的途径是采用分离的焊锡式测试点。如必须直接探测 TRACE 时，可把要导通点的 TRACE 放大到 40mil 宽。

参考三 将 TEST PADS 均衡地分布在 PC BOARD 上

如果探针没有均衡地分布在压板上或集中在一区域时，高的压力会使 DUT 或治具变弯曲。如此会造成部分探针不能接触到测试点，结果可能造成真空密封的问题或破损基板。因此要尽量将探针均匀地分布在治具上。

参考四 不要将 IC 的控制线直接或以 COMMON RESISTOR 接于 GROUND 或 VCC 上

1. 在 CPU 的部分，至少有三种主要型态的点要考虑到：
 - ① External instruction access pin (EA)
 - ② Initialize pin
 - ③ Outputs enable pin

2. 在基板设计的时候，可以考虑。

将控制端 OPEN 或串接 NOISE 防止用的电阻，不要对这些信号采用 COMMON 电阻方式尽可能使用 Pull-Down 或 Pull-Up 的电阻隔离。

2-1 Probing 的考量

NO.	DESCRIPTION	SPECIFICATION	
一	提供精确的定位孔 (TOOLING HOLES)		
	A	由 DUT DATUM 至 TEST PAD 间的误差	±0.002 IN 以内 (0.05mm)
	B	DUT 放置两个 TOOLING HOLES 且两者间距离越远越好, 且不同边, HOLES 间的误差	±0.002 IN 以内 (0.05mm)
	C	TOOLING HOLE 的直径误差	±0.003/-0.000 IN 以内 (+0.08/-0.00mm)
二	PROBE PADS 的直径	0.035/0.040 IN 以上 (+0.89/-1.00mm)	
三	在 PROBESIDE 的所有零件高度	不可超出 0.255 IN (6.4mm)	
四	在 DUT 的边缘不可有零件或 TEST PADS	0.124 IN 之内 (3.2mm)	
五	在每个 TEST PAD 的环状周围不可有零件及其他遮蔽物	0.018 IN (0.46mm)	
六	在零件面的 TEST PADS 其边缘需与零件保持距离		
七	所有 PROBING 的区域应该 SOLDER COATED 或相等之传导物, 表面不可氧化		
八	TEST PADS 不可防焊功被铭宇油墨覆盖		
九	所有 THROUGH-HOLES 应填满<真空式治具适用>		
十	在 TOOLING HOLES 的环状周围不可有零件与 TEST PADS	0.125IN (3.2mm)	
十一	PROBING TEST PADS 或引线, 不可在零件或零件脚上		
十二	避免在两侧 PROBING, 利用引线将 TEST POINTS 引至另一边 (SOLDER 面最佳)		
十三	各 PROBE PADS 间的距离最小不要低于 0.05IN (1.27mm)	0.100 IN 以上最佳 (2.54mm)	

2-2 电路测试的考量

NO.	DESCRIPTION	
	在每个电路节点皆需有 TEST PAD	
一	A	节点的定义为每一铜箔 PATTERN
	B	每个 IC 皆应有 POWER 与 GROUND 的 NODE 为 TEST PAD, 且越近越好; 一般皆在 0.1IN(2.54mm)以内
	不需要依赖 EDGE CONNECTOR 或电路 TRACES 为 TEST POINTS	
二	A	此种 TEST POINTS 极容易接触不良且易伤害金手指
	B	最佳方式为采用专用的 TEST PADS 及将要 PROBING 的 TRACES 扩大为 40mil 以上
四	将 TEST PADS 均衡地分布在 PC BOARD	
五	不要将 IC 的控制线直接或以 COMMON RESISTOR 接于 GROUND 或 VCC	